

# 日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

2000年 7月 3日

出願番号  
Application Number:

特願2000-201095

出 願 人  
Applicant (s):

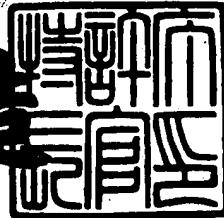
# 日本電氣株式会社

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

2001年 3月16日

特許庁長官  
Commissioner,  
Patent Office

# 及川耕



出証番号 出証特2001-3021008

【書類名】 特許願

【整理番号】 72310203

【提出日】 平成12年 7月 3日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/401

【発明者】

【住所又は居所】 東京都港区芝五丁目 7番 1号 日本電気株式会社内

【氏名】 内山 義規

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100102864

【弁理士】

【氏名又は名称】 工藤 実

【選任した代理人】

【識別番号】 100099553

【弁理士】

【氏名又は名称】 大村 雅生

【手数料の表示】

【予納台帳番号】 053213

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715177

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体システムおよび半導体装置

【特許請求の範囲】

【請求項1】 入力端子と出力端子を有するn個( $n > 2$ )の回路部と、  
前記n個の回路部のうち、所定のk個( $2 \leq k < n$ )の前記回路部の入力端子  
に接続された端子からなり、

m番目( $1 \leq m \leq n - k$ )の前記回路部の出力端子と(m+k)番目の前記回  
路部の入力端子とが接続されてなる、

半導体システム。

【請求項2】 請求項1に記載の半導体システムにおいて、  
前記各回路部は、  
前記入力端子からの入力信号に応答して起動し、前記起動後所定の時間経過す  
ると動作を中止する、

半導体システム。

【請求項3】 請求項1に記載の半導体システムにおいて、  
前記各回路部は、差動入力回路とレジスタ回路を有し、  
前記差動入力回路は、前記入力端子からの入力信号に応答して起動し、前記起  
動後所定の時間経過すると動作を中止する、

半導体システム。

【請求項4】 請求項1に記載の半導体システムにおいて、  
前記各回路部は、差動入力回路とレジスタ回路を有し、  
前記差動入力回路は、前記入力端子からの入力信号に応答して起動し、前記レ  
ジスタ回路からの出力信号に応答して動作を中止する、

半導体システム。

【請求項5】 請求項1から4のいずれか1項に記載の半導体システムにお  
いて、

前記各回路部は、異なる半導体チップ内に設けられている、  
半導体システム。

【請求項6】 入力端子と、

複数の差動入力回路と、

前記複数の差動入力回路の出力端に個別に接続された複数のレジスタ回路と、

前記入力端子、前記複数のレジスタ回路の少なくとも一部、および前記複数の差動入力回路と接続されたラッチ回路とからなり、

前記ラッチ回路と接続されている前記レジスタ回路は、接続されている前記差動入力回路から出力された信号を用いて予め定められた動作を実行し、前記動作が終了すると前記ラッチ回路へ出力信号を出力し、

前記ラッチ回路は、前記入力端子からの入力信号に応答して前記複数の差動入力回路を起動させ、前記出力信号に応答して前記複数の差動入力回路の動作を停止させる、

半導体装置。

【請求項7】 請求項6の半導体装置において、

前記複数のレジスタ回路は、少なくとも1つのシフトレジスタおよび少なくとも1つのデータレジスタを含み、前記ラッチ回路と接続されている前記レジスタ回路は前記シフトレジスタを含み、

前記ラッチ回路は、全ての前記シフトレジスタからの前記出力信号が入力されると前記複数の差動入力回路の動作を停止させる、

半導体装置。

【請求項8】 請求項6または7の半導体装置において、

前記複数のレジスタ回路の少なくとも一部と接続された出力端子をさらに有し

前記出力端子は前記出力信号を外部へ出力する、

半導体装置。

【請求項9】 請求項6または7の半導体装置において、

前記ラッチ回路と接続されている前記レジスタ回路と接続された出力端子をさらに有し、

前記ラッチ回路と接続されている前記レジスタ回路は、接続されている前記差動入力回路から出力された信号の入力後、予め定められた時間経過後に前記出力端子に別の出力信号を出力し、

前記出力端子は前記別の出力信号を外部へ出力する、  
半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体システムおよび半導体装置に関し、さらに詳しくは消費電力の低減が可能な半導体システムおよび半導体装置に関する。

【0002】

【従来の技術】

液晶表示装置、プラズマディスプレイのような表示装置が広く使用されている。このような表示装置では、消費電力を低減されることが望まれている。

図9は従来用いられている液晶表示装置の構成を示す。

図9を参照すると、従来用いられている液晶表示装置101は、表示デバイス102、垂直駆動装置103および水平駆動装置104から構成される。

【0003】

表示デバイス102は、従来知られている液晶パネル部分である。この液晶パネル部分は、横方向にX行のゲートバスライン（図示せず）、縦方向にY列のデータバスライン（図示せず）によって囲まれた各領域に設けられた複数の画素からなる。各画素は、1つのゲートバスラインおよび1つのデータバスラインと接続されている。各画素は、画素電極とスイッチング素子を含む。スイッチング素子は電界効果トランジスタからなる。スイッチング素子のゲートはゲートバスラインと接続されている。スイッチング素子のソースはデータバスラインと接続されている。スイッチング素子のドレインは画素電極と接続されている。

【0004】

垂直駆動装置103は、ゲートバスラインを走査する機能を有する。  
水平駆動装置104は、データバスラインの電圧レベルを制御する機能を有する。

【0005】

次に、従来用いられている液晶表示装置の動作を示す。

垂直駆動装置103は上から下へ1つづつゲートバスラインを走査する。水平駆動装置104は、ゲートバスラインの電圧レベルがハイである複数の画素の各々に対して光の強度が定められた画素データに基づいて、対応する画素と接続されているデータバスラインの電圧レベルを制御する。これによって、垂直駆動装置103に走査されるゲートバスラインと接続されている画素は、画素データに応じた光の強度で発光することが可能となる。

## 【0006】

図10は、水平駆動装置104の構成を示す。

図10を参照すると、水平駆動装置104は、入力端子112に接続された複数の水平駆動回路111-1, 111-2, 111-3, 111-nから構成される。

## 【0007】

各水平駆動回路111は、入力端子112から入力される入力信号D101の電圧レベルがハイのときに駆動する。このため、入力信号D101の電圧レベルがハイのとき、入力端子112に接続された全ての水平駆動回路111-1, 111-2, 111-3, 111-nが駆動する。

## 【0008】

図11は従来技術における水平駆動回路111の構成を示す。

図11を参照すると、従来技術における水平駆動回路111は、第1の差動入力回路113、第2の差動入力回路114、第3の差動入力回路118、第1のレジスタ回路115、および第2のレジスタ回路116から構成される。

## 【0009】

また、従来技術における水平駆動回路111は、後述するスタートパルス信号が入力されるスタートパルス入力端子119、およびそのスタートパルス信号を出力するためのスタートパルス出力端子120をも有する。

## 【0010】

またここで、スタートパルス信号は、後述する第2のレジスタ回路116および第3のレジスタ回路118にデータ信号D102b, D102cによって供給されるデータを取り込むときに必要な同期を取るための信号である。

## 【0011】

第1の差動入力回路113は、入力端子112、クロック信号入力端子D2a-1, D2a-2および後述する第1のシフトレジスタ回路15を構成する複数のフリップフロップ115-1, 115-2, 115-3, …115-(j-1), 115-jと接続されている。

## 【0012】

第1の差動入力回路113は、入力端子112の電圧値がVB (VB>0) の時、動作する。動作中の第1の差動入力回路13には、クロック信号入力端子D102a-1, D102a-2からクロック信号D102aが入力される。また、動作中の第1の差動入力回路13は、クロック信号D102aが入力されると、複数のフリップフロップ115-1, 115-2, 115-3, …115-(j-1), 115-jにクロック信号D102aを供給する。

## 【0013】

第2の差動入力回路114は、入力端子112、データ信号入力端子D102b-1, D102b-2および後述する後述する第2のレジスタ回路116の第1のデータレジスタ116aと接続されている。

## 【0014】

第2の差動入力回路114は、入力端子112の電圧値がVB (VB>0) の時、動作する。動作中の第2の差動入力回路114には、データ信号入力端子D102b-1, D102b-2から第1のデータ信号D102bが入力される。また、動作中の第2の差動入力回路114は、第1のデータ信号D102bが入力されると、第1のデータレジスタ116aに第1のデータ信号D102bを供給する。

## 【0015】

第3の差動入力回路118は、入力端子112、データ信号入力端子D102c-1, D102c-2および後述する後述する第2のレジスタ回路116の第2のデータレジスタ116bと接続されている。

## 【0016】

第3の差動入力回路118は、入力端子112の電圧値がVB (VB>0) の

時、動作する。動作中の第3の差動入力回路113には、データ信号入力端子D102c-1, D102c-2から第2のデータ信号D102cが入力される。また、動作中の第3の差動入力回路118は、第2のデータ信号D102cが入力されると、第2のデータレジスタ116bに第2のデータ信号D102cを供給する。

## 【0017】

第1のレジスタ回路115は、第1の差動入力回路113、スタートパルス入力端子119、およびスタートパルス出力端子120と接続されている。

## 【0018】

第1のレジスタ回路115は複数のフリップフロップ115-1, 115-2, 115-3, …115-(j-1), 115-jから構成される。また、各フリップフロップ115-1, 115-2, 115-3, …115-(j-1), 115-jは、第1の差動入力回路113と接続されている。更に、各フリップフロップ115-1, 115-2, 115-3, …115-(j-1), 115-jは、後述する第2のレジスタ回路116に含まれる1組の第1のデータレジスタ116aおよび第2のデータレジスタ116bと接続されている。他に、この複数のフリップフロップ115-1, 115-2, 115-3, …115-(j-1), 115-jは、後述するスタートパルス信号（図示せず）を1クロックずつ遅延させて伝達させるために、カスケード接続されている。スタートパルス入力端子119は、このカスケード接続の入力端としてのフリップフロップ115-1に接続されている。また、スタートパルス出力端子120は、フリップフロップ115-(j-1)の出力端に接続されている。

## 【0019】

次に、複数のフリップフロップ115-1, 115-2, 115-3, …115-(j-1), 115-jの動作を以下に示す。

## 【0020】

まず、第1の差動入力回路113からクロック信号D102aが、各フリップフロップ115-1, 115-2, 115-3, …115-(j-1), 115-jへ供給される。

## 【0021】

次に、スタートパルス信号がスタートパルス入力端子119からフリップフロップ115-1へ入力される。

## 【0022】

そのスタートパルス信号が入力されたフリップフロップ115-1は、クロック信号D102aの立ち上がりに応答して、1つのパルス信号を生成し、そのパルス信号をフリップフロップ115-1と接続されている1組の第1のデータレジスタ116aおよび第2のデータレジスタ116bへ供給する。次に、そのフリップフロップ115-1は、このクロック信号D102aが次に立ち上がるまでにフリップフロップ115-2へシフト信号を出力する。

## 【0023】

また、フリップフロップ115-(p-1) (pは $2 \leq p \leq j-1$ を満たす整数)からシフト信号が入力されたフリップフロップ115-pは、1つのパルス信号を生成し、そのパルス信号をフリップフロップ115-pと接続されている1組の第1のデータレジスタ116aおよび第2のデータレジスタ116bへ供給する。次に、そのフリップフロップ115-pは、このクロック信号D102aが次に立ち上がるまでにフリップフロップ115-(p+1)へシフト信号を出力する。

## 【0024】

さらに、フリップフロップ115-(p-1)からシフト信号が入力されたフリップフロップ115-pは、1つのパルス信号を生成し、そのパルス信号をフリップフロップ115-pと接続されている1組の第1のデータレジスタ116aおよび第2のデータレジスタ116bへ供給する。次に、そのフリップフロップ115-pは、このクロック信号D102aが次に立ち上がるまでにフリップフロップ115-(p+1)へシフト信号を出力する。

## 【0025】

またさらに、フリップフロップ115-(j-2)からシフト信号が入力されたフリップフロップ115-(j-1)は、1つのパルス信号を生成し、そのパルス信号をフリップフロップ115-(j-2)と接続されている1組の第1のデ

ータレジスタ116aおよび第2のデータレジスタ116bへ供給する。次に、そのフリップフロップ115- (j-1) は、このクロック信号D102aが次に立ち上がるまでにフリップフロップ115-j、およびスタートパルス出力端子120へシフト信号を出力する。

## 【0026】

加えて、フリップフロップ115- (j-1) からシフト信号が入力されたフリップフロップ115-jは、1つのパルス信号を生成し、そのパルス信号をフリップフロップ115-jと接続されている1組の第1のデータレジスタ116aおよび第2のデータレジスタ116bへ供給する。

## 【0027】

第2のレジスタ回路16は、第2の差動入力回路14、第3の差動入力回路18、および第1のレジスタ回路15と接続されている。

## 【0028】

第2のレジスタ回路16は、第1のレジスタ回路に含まれる複数のシフトレジスタと同数のレジスタ部16cからなる。ここで、各レジスタ部16cは1つの第1のデータレジスタ116aと1つの第2のデータレジスタ116bから構成される。各レジスタ部16cは、フリップフロップ115-1, 115-2, 115-3, … 115- (j-1), 115-jと個別に接続されている。

## 【0029】

次に、各レジスタ部16cの動作を以下に示す。

まず、レジスタ部16cと接続されているフリップフロップ115-1, 115-2, 115-3, … 115- (j-1), 115-jからパルス信号が供給される。そのレジスタ部116cを構成する第1のデータレジスタ116aは、そのパルス信号の入力タイミングで、その第1のデータレジスタ116aと接続されている第2の差動入力回路114からの第1のデータ信号D102bをラッチする。また、そのレジスタ部116cを構成する第2のデータレジスタ116bもまた、その第2のデータレジスタ116bと接続されている第3の差動入力回路118からの第2のデータ信号D102cをラッチする。

## 【0030】

次に、水平駆動回路111の動作を以下に示す。

スタートパルス入力端子7から入力されるスタートパルス信号は、第1の差動入力回路121から出力されるクロック信号D102のエッジにより、シフトレジスタ123a, 123b, 123c, 123dで順次遅延される。

#### 【0031】

クロック信号D102と同期して第2の差動入力回路122からデータ信号D103が出力される。各データレジスタ124aは、接続されているシフトレジスタ123a, 123b, 123c, 123dでのクロック信号D102の立ち上がりのタイミングで、データ信号D103をラッチする。

#### 【0032】

上記に示すように、従来技術による水平駆動装置104の動作時に、その水平駆動装置104に含まれる全ての水平駆動回路111-1, 111-2, 111-3, 111-nが駆動している。また、水平駆動回路111に含まれる全ての差動入力装置113, 114, 118も駆動している。

#### 【0033】

ここで、従来技術による水平駆動装置104では、差動入力装置113, 114, 118が立ち上がってから安定して動作するために約500ナノ秒必要とする。また、従来技術による水平駆動装置104では、レジスタ回路116でデータ信号D102b, 102cをラッチするために約300ナノ秒必要とする。このため、従来技術による液晶表示装置では、水平駆動装置104を安定して動作させるために、全ての水平駆動回路111-1, 111-2, 111-3, 111-nを駆動させている。

#### 【0034】

消費電力の低減が可能で、かつ安定して駆動する水平駆動装置のような半導体システムおよび半導体装置が望まれている。

#### 【0035】

また、消費電力の低減が可能な半導体装置の従来技術として、特開平9-27192号公報に、「半導体集積回路装置」が開示されている。本従来例ではバス回路での信号の低振幅化に適用可能なインターフェイスを用いることにより、低

消費電力化を図った半導体集積回路が開示されている。

## 【0036】

## 【発明が解決しようとする課題】

本発明の目的は、消費電力の低減が可能な半導体システムおよび半導体装置を提供することにある。

## 【0037】

他に、本発明の目的は、消費電力の低減が可能で、安定して駆動する水平駆動装置のような半導体システムおよび半導体装置を提供することにある。

## 【0038】

## 【課題を解決するための手段】

その課題を解決するための手段が、下記のように表現される。その表現中の請求項対応の技術的事項には、括弧（）付きで、番号、記号等が添記されている。その番号、記号等は、請求項対応の技術的事項と実施の複数・形態のうち少なくとも1つの技術的事項との一致・対応関係を明白にしているが、その請求項対応の技術的事項が実施の形態の技術的事項に限定されることを示すためのものではない。

## 【0039】

上記の課題を解決するために、本発明によると、入力端子（3）と出力端子（4）を有するn個（ $n > 2$ ）の回路部（2）と、n個の回路部（2）のうち、所定のk個（ $2 \leq k < n$ ）の回路部（2）の入力端子（3）に接続された端子（5）からなり、m番目（ $1 \leq m \leq n - k$ ）の回路部（2）の出力端子（4）と（m+k）番目の回路部（2）の入力端子（3）とが接続されてなる半導体システムを提供する。

## 【0040】

上記の半導体システムにおいて、各回路部（2）は、入力端子（3）からの入力信号（D1）に応答して起動し、起動後所定の時間経過すると動作を中止することが可能である。

## 【0041】

上記の半導体システムにおいて、各回路部（2）は、差動入力回路（13, 1

4) とレジスタ回路(15, 16)を有し、差動入力回路(13, 14)は、入力端子(3)からの入力信号(D1)に応答して起動し、起動後所定の時間経過すると動作を中止することも可能である。

【0042】

上記の半導体システムにおいて、各回路部(2)は、差動入力回路(13, 14)とレジスタ回路(15, 16)を有し、差動入力回路(13, 14)は、入力端子(3)からの入力信号(D1)に応答して起動し、レジスタ回路(15)からの出力信号(D4)に応答して動作を中止することも可能である。

【0043】

上記の半導体システムにおいて、各回路部(2)は、異なる半導体チップ(2)内に設けられていることも可能である。

【0044】

また、上記の課題を解決するために、本発明によると、入力端子(3)と、複数の差動入力回路(13, 14, 18)と、複数の差動入力回路(13, 14, 18)の出力端に個別に接続された複数のレジスタ回路(15, 16)と、入力端子(3)、複数のレジスタ回路(15, 16)の少なくとも一部、および複数の差動入力回路(13, 14)と接続されたラッチ回路(11)とからなり、ラッチ回路(11)と接続されているレジスタ回路(15)は、接続されている差動入力回路(13)から出力された信号を用いて予め定められた動作を実行し、動作が終了するとラッチ回路(11)へ出力信号(D4)を出力し、ラッチ回路(11)は、入力端子(3)からの入力信号(D1)に応答して複数の差動入力回路(13, 14, 18)を起動させ、出力信号(D4)に応答して複数の差動入力回路(13, 14, 18)の動作を停止させる半導体装置を提供する。

【0045】

上記の半導体装置において、複数のレジスタ回路(15, 16)は、少なくとも1つのシフトレジスタ(15-1, 15-2, 15-3…15-(n-1), 15-n)および少なくとも1つのデータレジスタ(16c)を含み、ラッチ回路(11)と接続されているレジスタ回路(15)はシフトレジスタを含み、ラッチ回路(11)は、全てのシフトレジスタからの出力信号が入力されると複数

の差動入力回路（13，14，18）の動作を停止させることも可能である。

【0046】

上記の半導体装置において、複数のレジスタ回路（15，16）の少なくとも一部と接続された出力端子（4）をさらに有し、出力端子（4）は出力信号を外部へ出力することも可能である。

【0047】

上記の半導体装置において、ラッチ回路（11）と接続されているレジスタ回路（15）と接続された出力端子（4）をさらに有し、ラッチ回路（11）と接続されているレジスタ回路（15）は、接続されている差動入力回路（13）から出力された信号の入力後、予め定められた時間経過後に出力端子（4）に別の出力信号を出力し、出力端子（4）は別の出力信号を外部へ出力することも可能である。

【0048】

【発明の実施の形態】

以下図面を参照して、本発明における半導体装置を示す。ここで、本発明の半導体装置の実施形態は、液晶表示装置、プラズマディスプレイのような表示装置の水平駆動装置に適用しているが、本発明の半導体装置は本実施例に限定されない。

【0049】

図1は、本発明における水平駆動装置の第1の実施形態の構成を示す。

図1を参照すると、本発明における水平駆動装置1の第1の実施形態の構成は、複数の半導体チップ2-1，2-2，…2-n（nは3以上の整数）から構成される。各半導体チップ2は、入力端子3と出力端子4を有する。

【0050】

半導体チップ2-1の第1の入力端子3-1および半導体チップ2-2の第1の入力端子3-2は、外部から制御信号D1が入力される第1の外部端子5と接続されている。半導体チップ2-1の出力端子4-1は半導体チップ2-3の入力端子3-3と接続されている。半導体チップ2-2の出力端子4-2は半導体チップ2-4の入力端子3-4と接続されている。半導体チップ2-m（1≤m

$\leq n - 2$  の出力端子  $4 - m$  は半導体チップ  $2 - (m + 2)$  の入力端子  $3 - (m + 2)$  と接続されている。

【0051】

また、各半導体チップ  $2 - 1, 2 - 2, \dots, 2 - n$  は電圧レベルが  $VB$  ( $VB > 0$ ) である第2の外部端子6と接続されている。

【0052】

半導体チップ  $2 - m$  の出力端子  $4 - m$  から出力された制御信号  $D_1$  は、入力端子  $3 - (m + 2)$  から半導体チップ  $2 - (m + 2)$  に入力される。

【0053】

また、図示しないが、各半導体チップ  $2 - 1, 2 - 2, \dots, 2 - n$  には外部からデータ信号およびクロック信号が供給される。

【0054】

次に、本発明における水平駆動回路の第1の実施形態の動作を示す。

図2は、本発明における水平駆動回路の第1の実施形態の動作を示すタイムチャートである。

【0055】

図2を参照すると、第1の外部端子5から水平駆動回路1へパルス信号  $P_1$  が入力される。半導体チップ  $2 - 1, 2 - 2$  はパルス信号  $P_1$  の立ち上がりに応答して立ち上がる。半導体チップ  $2 - 1$  はデータの書き込み動作が終了すると、出力端子  $4 - 1$  からパルス信号  $P_2$  を出力して、動作を休止する。半導体チップ  $2 - 3$  はパルス信号  $P_2$  の立ち上がりに応答して立ち上がる。半導体チップ  $2 - 2$  はデータの書き込みが終了すると、出力端子  $4 - 2$  からパルス信号  $P_3$  を出力して、動作を休止する。半導体チップ  $2 - 4$  はパルス信号  $P_3$  の立ち上がりに応答して立ち上がる。同様に、半導体チップ  $2 - m$  はデータの書き込みが終了すると、第1の出力端子  $4 - m$  からパルス信号  $P_{(m+1)}$  を出力して、動作を休止する。半導体チップ  $2 - (m+2)$  はパルス信号  $P_{(m+1)}$  の立ち上がりに応答して立ち上がる。また、半導体チップ  $2 - m$  はデータの書き込みが終了すると動作を休止する。

【0056】

本発明における水平駆動回路の第1の実施形態では、多くとも2つの半導体チップのみ駆動している。

【0057】

図3は、上記半導体チップ2の構成を示す。

図3を参照すると、半導体チップ2は、ラッチ回路11、スイッチ部12、第1の差動入力回路13、第2の差動入力回路14、第3の差動入力回路18、第1のレジスタ回路15、第2のレジスタ回路16、およびフリップフロップ回路19から構成される。

【0058】

また、半導体チップ2は、後述するスタートパルス信号が入力されるスタートパルス入力端子7、およびそのスタートパルス信号を出力するためのスタートパルス出力端子8をも有する。ここで、図3で示される半導体チップ2を図1に示される半導体チップ2-L (Lは、 $2 \leq L \leq n-1$ の整数) とすると、この半導体チップ2-Lのスタートパルス入力端子7は、半導体チップ2-(L-1)のスタートパルス出力端子8に接続されている。また、この半導体チップ2-Lのスタートパルス出力端子8は、半導体チップ2-(L+1)のスタートパルス入力端子7に接続されている。さらに、図3で示される半導体チップ2が図1に示される半導体チップ2-1の場合、この半導体チップ2-1のスタートパルス入力端子7は、そのスタートパルス信号を供給するための図示しない外部端子と接続されている。また、この半導体チップ2-1のスタートパルス出力端子8は、半導体チップ2-2のスタートパルス入力端子7に接続されている。

【0059】

またここで、スタートパルス信号は、後述する第2のレジスタ回路16および第3のレジスタ回路18にデータ信号D2b, D2cによって供給されるデータを取り込むときに必要な同期を取るための信号である。

【0060】

ラッチ回路11は、半導体チップ2の第1の入力端子3、フリップフロップ回路19、およびスイッチ部12と接続されている。

【0061】

ラッチ回路11は、入力端子3からの制御信号D1を受けて、制御信号D3の電圧レベルをVA（バイアス電圧であり、VA>0）にラッチして出力する。また、ラッチ回路11は、後述するフリップフロップ回路19からの制御信号D4'を受けて、制御信号D3の電圧レベルを零電位にラッチして出力する。

## 【0062】

スイッチ部12は、ラッチ回路11、ノードD5と接続されている。ここで、ノードD5は、スイッチ部12、第1の差動入力回路13、第2の差動入力回路14、および第3の差動入力回路18と接続されている。また、スイッチ部12は、電位がVB（VB>0）である第2の外部端子6および接地17と接続されている。

## 【0063】

スイッチ部12は、制御信号D3に応答してノードD5と第2の外部端子6および接地17のいずれか一方とを接続する。本実施例では、制御信号D3の電圧レベルがVAの場合、スイッチ部12はノードD5と第2の外部端子6とを接続し、ノードD5の電圧レベルをVBにする。また、制御信号D3の電圧レベルが零電位の場合、スイッチ部12はノードD5と接地17とを接続し、ノードD5の電圧レベルを零にする。

## 【0064】

第1の差動入力回路13は、クロック信号入力端子D2a-1, D2a-2、ノードD5、およびノードD6と接続されている。ここで、ノードD6は、第1の差動入力回路13、後述する第1のシフトレジスタ回路15を構成する複数のフリップフロップ15-1, 15-2, 15-3, …15-(j-1), 15-jの各々、およびフリップフロップ回路19と接続されている。

## 【0065】

第1の差動入力回路13には、クロック信号入力端子D2a-1, D2a-2からクロック信号D2aが入力される。また、第1の差動入力回路13は、ノードD5の電圧レベルがVBの場合に動作し、ノードD5の電圧レベルが零の場合に動作を中止する。また、動作中の第1の差動入力回路13は、クロック信号D2aが入力されると、ノードD6にクロック信号D2aを供給する。

## 【0066】

第2の差動入力回路14には、データ信号入力端子D2b-1, D2b-2から第1のデータ信号D2bが入力される。また、第2の差動入力回路14は、ノードD5の電圧レベルがVBの場合に動作する。また、第2の差動入力回路14の出力部は、後述する第2のレジスタ回路16の第1のデータレジスタ16aと接続されている。また、動作中の第2の差動入力回路14は、第1のデータ信号D2bが入力されると、第1のデータレジスタ16aに第1のデータ信号D2bを供給する。

## 【0067】

第3の差動入力回路18には、データ信号入力端子D2c-1, D2c-2から第2のデータ信号D2cが入力される。また、第3の差動入力回路18は、ノードD5の電圧レベルがVBの場合に動作する。また、第3の差動入力回路18の出力部は、後述する第2のレジスタ回路16の第2のデータレジスタ16bと接続されている。

## 【0068】

第3の差動入力回路18には、データ信号入力端子D2c-1, D2c-2から第2のデータ信号D2cが入力される。また、第3の差動入力回路18は、ノードD5の電圧レベルがVBの場合に動作する。また、第3の差動入力回路18の出力部は、後述する第2のレジスタ回路16の第2のデータレジスタ16bと接続されている。また、動作中の第3の差動入力回路18は、第2のデータ信号D2cが入力されると、第2のデータレジスタ16bに第2のデータ信号D2cを供給する。

## 【0069】

第1のレジスタ回路15は、出力端子4、ノードD6、スタートパルス入力端子7、スタートパルス出力端子8、およびフリップフロップ回路19と接続されている。

## 【0070】

第1のレジスタ回路15は複数のフリップフロップ15-1, 15-2, 15-3, … 15-(j-1), 15-jから構成される。また、各フリップフロッ

15-1, 15-2, 15-3, … 15-(j-1), 15-j は、ノードD6 と接続されている。更に、各フリップフロップ 15-1, 15-2, 15-3, … 15-(j-1), 15-j は、後述する第2のレジスタ回路 16 に含まれる1組の第1のデータレジスタ 16a および第2のデータレジスタ 16b と接続されている。他に、この複数のフリップフロップ 15-1, 15-2, 15-3, … 15-(j-1), 15-j は、後述するスタートパルス信号（図示せず）を1クロックずつ遅延させて伝達させるために、カスケード接続されている。このカスケード接続の入力端としてのフリップフロップ 15-1 がスタートパルス入力端子 7 に接続されている。また、このカスケード接続の出力端としてのフリップフロップ 15-j が出力端子 4 およびフリップフロップ回路 19 に接続されている。さらに、フリップフロップ 15-(j-1) とフリップフロップ 15-j とを接続するノードD7 に、スタートパルス出力端子 8 が接続されている。

## 【0071】

次に、複数のフリップフロップ 15-1, 15-2, 15-3, … 15-(j-1), 15-j の動作を以下に示す。

## 【0072】

まず、第1の差動入力回路 13 の動作が安定すると、第1の差動入力回路 13 はノードD6 へクロック信号 D2a を供給する。

次に、スタートパルス信号がスタートパルス入力端子 7 からフリップフロップ 15-1 へ入力される。

## 【0073】

そのスタートパルス信号が入力されたフリップフロップ 15-1 は、ノードD6 に供給されたクロック信号 D2a の立ち上がりに応答して、1つのパルス信号を生成し、そのパルス信号をフリップフロップ 15-1 と接続されている1組の第1のデータレジスタ 16a および第2のデータレジスタ 16b へ供給する。次に、そのフリップフロップ 15-1 は、このクロック信号 D2a が次に立ち上がるまでにフリップフロップ 15-2 へシフト信号を出力する。

## 【0074】

また、フリップフロップ 15-(p-1) (p は  $2 \leq p \leq j-1$  を満たす整数

) からシフト信号が入力されたフリップフロップ15-pは、1つのパルス信号を生成し、そのパルス信号をフリップフロップ15-pと接続されている1組の第1のデータレジスタ16aおよび第2のデータレジスタ16bへ供給する。次に、そのフリップフロップ15-pは、このクロック信号D2aが次に立ち上がるまでにフリップフロップ15-(p+1)へシフト信号を出力する。

## 【0075】

さらに、フリップフロップ15-(p-1)からシフト信号が入力されたフリップフロップ15-pは、1つのパルス信号を生成し、そのパルス信号をフリップフロップ15-pと接続されている1組の第1のデータレジスタ16aおよび第2のデータレジスタ16bへ供給する。次に、そのフリップフロップ15-pは、このクロック信号D2aが次に立ち上がるまでにフリップフロップ15-(p+1)へシフト信号を出力する。

## 【0076】

またさらに、フリップフロップ15-(j-2)からシフト信号が入力されたフリップフロップ15-(j-1)は、1つのパルス信号を生成し、そのパルス信号をフリップフロップ15-(j-2)と接続されている1組の第1のデータレジスタ16aおよび第2のデータレジスタ16bへ供給する。次に、そのフリップフロップ15-(j-1)は、このクロック信号D2aが次に立ち上がるまでにフリップフロップ15-j、およびスタートパルス出力端子8へシフト信号を出力する。ここで、このスタートパルス出力端子8に出力されたシフト信号は、このスタートパルス出力端子8と接続されている他の半導体チップ2のスタートパルス入力端子7から、スタートパルス信号として、その他の半導体チップ2に入力される。

## 【0077】

加えて、フリップフロップ15-(j-1)からシフト信号が入力されたフリップフロップ15-jは、1つのパルス信号を生成し、そのパルス信号をフリップフロップ15-jと接続されている1組の第1のデータレジスタ16aおよび第2のデータレジスタ16bへ供給する。次に、そのフリップフロップ15-(j-1)は、そのパルス信号の出力後であって、このクロック信号D2aが次に

立ち上がるまでに、そのシフト信号を制御信号D4として出力端子4およびフリップフロップ回路19へ出力する。

## 【0078】

第2のレジスタ回路16は、第2の差動入力回路14、第3の差動入力回路18、および第1のレジスタ回路15と接続されている。

## 【0079】

第2のレジスタ回路16は、第1のレジスタ回路に含まれる複数のフリップフロップ15-1, 15-2, 15-3, … 15-(j-1), 15-jと同数のレジスタ部16cからなる。ここで、各レジスタ部16cは1つの第1のデータレジスタ16aと1つの第2のデータレジスタ16bから構成される。各レジスタ部16cは、フリップフロップ15-1, 15-2, 15-3, … 15-(j-1), 15-jと個別に接続されている。具体的には、各レジスタ部16cを構成する第1のデータレジスタ16aと第2のデータレジスタ16bは、対応する1つのシフトレジスタに接続されている。

## 【0080】

次に、各レジスタ部16cの動作を以下に示す。

まず、レジスタ部16cと接続されているフリップフロップ15-1, 15-2, 15-3, … 15-(j-1), 15-jからパルス信号が供給される。そのレジスタ部16cを構成する第1のデータレジスタ16aは、そのパルス信号の入力タイミングで、その第1のデータレジスタ16aと接続されている第2の差動入力回路14からの第1のデータ信号D2bをラッチする。また、そのレジスタ部16cを構成する第2のデータレジスタ16bもまた、その第2のデータレジスタ16bと接続されている第3の差動入力回路18からの第2のデータ信号D2cをラッチする。

## 【0081】

フリップフロップ回路19は、ノードD6、第1のレジスタ回路15、およびラッチ回路11と接続されている。

## 【0082】

フリップフロップ回路19は、第1の差動入力回路13からノードD6へクロ

ック信号D2aが供給され、かつ、第1のレジスタ回路15のシフトレジスタ15-jから制御信号D4が出力されると、ラッチ回路11へ制御信号D4'を出力する。

## 【0083】

上記に示すように、半導体チップ2は入力端子3からの制御信号D1を受けて第1の差動入力回路13、第2の差動入力回路14、および第3の差動入力回路18を動作させる。また、半導体チップ2はフリップフロップ回路19からの制御信号D4'を受けて第1の差動入力回路13、第2の差動入力回路14、および第3の差動入力回路18の動作を停止させる。

## 【0084】

ここで、上記に示される半導体チップ2では、ラッチ回路11は、フリップフロップ回路19からラッチ回路11に出力された制御信号D4'に応答して、3つの差動入力回路13、14、18の動作を中止するように制御する。ここで、第1のレジスタ回路15が複数存在する場合、フリップフロップ回路19は、全ての第1のレジスタ回路15からの制御信号D4が得られた時に制御信号D4'をラッチ回路11へ出力する。この場合、ラッチ回路11は制御信号D4'を受けてその3つの差動入力回路13、14、18の動作を中止するように制御する。

## 【0085】

次に、差動入力回路13、14、18の構成、動作を示す。  
まず、第1の差動入力回路13の構成、動作を以下に示す。  
図4は、本発明における水平駆動回路の第1の実施形態での第1の差動入力回路13の構成を示す。

## 【0086】

図4を参照すると、第1の差動入力回路13の本実施形態は、電位がV<sub>DD</sub>（ $V_{DD} > 0$ ）である端子21、第1の回路部22、第2の回路部23および波形整形回路部24から構成される。また、差動入力回路13は外部タイミングコントローラの駆動回路30とクロック信号入力端子D2a-1、D2a-2で接続されている。

## 【0087】

端子21は、第1の回路部22および第2の回路部23と接続される。

第1の回路部22は、端子21、波形整形回路部24、クロック信号入力端子D2a-1, D2a-2、およびノードD5と接続されている。ここで、クロック信号D2aは、クロック信号入力端子D2a-1, D2a-2から入力される。

## 【0088】

第1の回路部22は、第1のPチャネルトランジスタ22aおよび第2のPチャネルトランジスタ22bを有する。第1のPチャネルトランジスタ22aのソース、および第2のPチャネルトランジスタ22bのソースは、端子21と接続されている。第1のPチャネルトランジスタ22aのドレインは、第1のPチャネルトランジスタ22aのゲート、第2のPチャネルトランジスタ22bのゲートおよび第1のNチャネルトランジスタ22cのソースと接続されている。第1のNチャネルトランジスタ22cのドレインは、クロック信号入力端子D2a-1および第3のNチャネルトランジスタ22eのドレインと接続されている。第3のNチャネルトランジスタ22eのソースは、接地22gおよび第4のNチャネルトランジスタ22fのソースと接続されている。第4のNチャネルトランジスタ22fのドレインは、クロック信号入力端子D2a-2および第2のNチャネルトランジスタ22dのドレインと接続されている。第2のNチャネルトランジスタ22dのソースは、第2のPチャネルトランジスタ22bのドレインおよび波形整形回路部24の第1の端子24aと接続されている。さらに、第2のPチャネルトランジスタ22dのゲートは、第1のPチャネルトランジスタ22cのゲート、第3のNチャネルトランジスタ22eのゲート、第4のNチャネルトランジスタ22fのゲート、およびノードD5と接続されている。

## 【0089】

第2の回路部23は、端子21、波形整形回路部24、クロック信号入力端子D2a-1, D2a-2、およびノードD5と接続されている。

## 【0090】

第2の回路部23は、第3のPチャネルトランジスタ23aおよび第4のPチャネルトランジスタ23bを有する。第3のPチャネルトランジスタ23aのソ

ース、および第4のPチャネルトランジスタ23bのソースは、端子21と接続されている。第3のPチャネルトランジスタ23aのドレインは、電流-電圧変換部24の第2の端子24bおよび第5のNチャネルトランジスタ23cのドレインと接続されている。第5のNチャネルトランジスタ23cのソースは、クロック信号入力端子D2a-1と接続されている。第5のNチャネルトランジスタ23cのゲートは、第6のNチャネルトランジスタ23dのゲートおよびノードD5と接続されている。第6のNチャネルトランジスタ23dのドレインはクロック信号入力端子D2a-2と接続されている。第6のNチャネルトランジスタ23dのソースは、第3のPチャネルトランジスタ23aのゲート、および第4のPチャネルトランジスタ23bのゲートとドレインに接続されている。

## 【0091】

波形整形回路部24は、第1の端子24aで第2の回路部23に接続され、第2の端子24bで第1の回路部22と接続されている。また、波形整形回路部24は、ノードD6と接続されている。

## 【0092】

波形整形回路部24は、第1のNANDゲート25、第2のNANDゲート26、およびインバータ回路27を有する。第1のNANDゲート25の第1の入力端は第1の端子24aと接続されている。第2のNANDゲート26の第1の入力端は第2の端子24bと接続されている。また、第1のNANDゲート25の第2の入力端は第2のNANDゲート26の出力端と接続されている。また、第1のNANDゲート25の出力端は、第2のNANDゲート26の第2の入力端およびインバータ回路27の入力端に接続されている。さらに、インバータ回路27の出力端はノードD6と接続された外部端子31と接続されている。

## 【0093】

外部タイミングコントローラの駆動回路30には、外部タイミングコントローラの内部端子29からクロック信号D2aが入力される。また、外部タイミングコントローラの駆動回路30は、クロック信号入力端子D2a-1およびクロック信号入力端子D2a-2と接続されている。

## 【0094】

外部タイミングコントローラの駆動回路30は、インバータ回路28、第7のNチャネルトランジスタ30a、および第8のNチャネルトランジスタ30bから構成される。外部タイミングコントローラの内部端子29は、インバータ回路28の入力端と第7のNチャネルトランジスタ30aのゲートに接続されている。第7のNチャネルトランジスタ30aのドレインはクロック信号入力端子D2a-1と接続されている。第7のNチャネルトランジスタ30aのソースは接地30cおよび第8のNチャネルトランジスタ30bのソースと接続されている。第8のNチャネルトランジスタ30bのゲートはインバータ回路28の出力端と接続されている。第8のNチャネルトランジスタ30bのドレインはクロック信号入力端子D2a-2と接続されている。

#### 【0095】

次に、第1の差動入力回路13の本実施形態での動作を示す。  
まず、ノードD5の電圧レベルがゼロの場合を以下に示す。

#### 【0096】

第1の回路部22において、第1のNチャネルトランジスタ22c、第2のNチャネルトランジスタ22d、第3のNチャネルトランジスタ22eおよび第4のNチャネルトランジスタ22fのゲートの電圧レベルがロウである。このため、第1のNチャネルトランジスタ22c、第2のNチャネルトランジスタ22d、第3のNチャネルトランジスタ22eおよび第4のNチャネルトランジスタ22fでは、ソースードレイン間が導通されない。よって、タイミングコントローラの内部端子29の電圧レベルの変化に応答した、第7のNチャネルトランジスタ30aおよび第8のNチャネルトランジスタ30bのON, OFFに関わらず、第1の端子24aの電圧レベルは変化しない。

#### 【0097】

第2の回路部23において、第5のNチャネルトランジスタ23c、第6のNチャネルトランジスタ23dのゲートの電圧レベルがロウである。このため、第5のNチャネルトランジスタ23cと第6のNチャネルトランジスタ23dでは、ソースードレイン間が導通されない。よって、タイミングコントローラの内部端子29の電圧レベルの変化に応答した、第7のNチャネルトランジスタ30a

および第8のNチャネルトランジスタ30bのON, OFFに関わらず、第2の端子24bの電圧レベルは変化しない。

この結果、ノードD5の電圧レベルがゼロの場合、第1の端子24aおよび第2の端子24bの電圧レベルは固定される。よって、第1の差動入力回路13の外部端子31での出力電圧レベルは固定される。

#### 【0098】

次に、ノードD5の電圧レベルがVB (VB > 0) の場合を以下に示す。

第1の回路部22において、第1のNチャネルトランジスタ22c、第2のNチャネルトランジスタ22d、第3のNチャネルトランジスタ22eおよび第4のNチャネルトランジスタ22fのゲートの電圧レベルがVBである。このため、第1のNチャネルトランジスタ22c、第2のNチャネルトランジスタ22d、第3のNチャネルトランジスタ22eおよび第4のNチャネルトランジスタ22fでは、ソースードレイン間が導通される。

#### 【0099】

第2の回路部23において、第5のNチャネルトランジスタ23c、第6のNチャネルトランジスタ23dのゲートの電圧レベルがVBである。このため、第3のPチャネルトランジスタ23cと第4のPチャネルトランジスタ23dでは、ソースードレイン間が導通される。

#### 【0100】

ここで、クロック信号D2aがハイの場合、第7のNチャネルトランジスタ30aのゲートの電圧はハイとなり、第8のNチャネルトランジスタ30bのゲートの電圧はロウとなる。このため、第7のNチャネルトランジスタ30aのソースードレイン間は導通されるが、第8のNチャネルトランジスタ30bのソースードレイン間は導通されない。よって、クロック信号入力端子D2a-1の電圧レベルはほぼ零となり、クロック信号入力端子D2a-2はオープンになる。

#### 【0101】

この場合、第1の回路部22では、第1のNチャネルトランジスタ22cのソースードレイン間が導通されているために、第1のPチャネルトランジスタ22aおよび第2のPチャネルトランジスタ22bのゲートの電圧レベルが下がる。

このため、第1のPチャネルトランジスタ22aおよび第2のPチャネルトランジスタ22bでソースードレイン間が導通される。よって、第1の端子24aは端子21と電気的に接続され、第1の端子24aの電位は $V_{DD}$ となる。

#### 【0102】

また、第2の回路部23では、第5のNチャネルトランジスタ23cのソースードレイン間が導通されているために、第2の端子24bはクロック信号入力端子D2a-1と電気的に接続される。このため、第2の端子24bの電位はロウとなる。

#### 【0103】

上記の場合、波形整形回路部24では、第2の端子24bの電位がロウであるために、第2のNANDゲート26の出力端の電圧レベルはハイになる。次に、第2のNANDゲート26の出力端と、第1の端子24aの電圧レベルはハイであるために、第1のNANDゲート25の出力端の電圧レベルはロウになる。この結果、第2のNANDゲート26の第2の入力端およびインバータ回路27の入力端の電圧レベルはロウになる。よって、インバータ回路27の出力端の電圧レベルはハイになり、外部端子31の電圧レベルはハイになる。

#### 【0104】

次に、クロック信号D2aがロウの場合、第7のNチャネルトランジスタ30aのゲートの電圧はロウとなり、第8のNチャネルトランジスタ30bのゲートの電圧はハイとなる。このため、第8のNチャネルトランジスタ30bのソースードレイン間は導通されるが、第7のNチャネルトランジスタ30aのソースードレイン間は導通されない。よって、クロック信号入力端子D2a-1はオープンになり、クロック信号入力端子D2a-2の電圧レベルはほぼ零となる。

#### 【0105】

この場合、第1の回路部22では、第2のNチャネルトランジスタ22dのソースードレイン間が導通されているために、クロック信号入力端子D2a-2と第1の端子24aとが電気的に接続される。このため、第1の端子24aの電位はロウである。

#### 【0106】

また、第2の回路部23では、第6のNチャネルトランジスタ23dのソースードレイン間が導通されているために、第3のPチャネルトランジスタ23aのゲートおよび第4のPチャネルトランジスタ23bのゲートの電位が下がる。この結果、第3のPチャネルトランジスタ23aおよび第4のPチャネルトランジスタ23bでソースードレイン間が導通される。よって、端子21と第2の端子24bとが電気的に接続される。このため、第2の端子24bの電位は $V_{DD}$ となる。

## 【0107】

上記の場合、波形整形回路部24では、第1の端子24aの電位がロウであるために、第1のNANDゲート25の出力端の電圧レベルはハイになる。次に、第1のNANDゲート25の出力端と、第2の端子24bの電圧レベルはハイであるために、第2のNANDゲート26の出力端の電圧レベルはロウになる。この結果、第1のNANDゲート25の出力端の電圧レベルはハイのまま固定される。よって、インバータ回路27の入力端の電圧レベルはハイになり、インバータ回路27の出力端の電圧レベルはロウになる。この結果、外部端子31の電圧レベルはロウになる。

## 【0108】

次に、第2の差動入力回路14の構成、動作を以下に示す。  
第2の差動入力回路14の構成および動作は、外部端子29から第1のデータ信号D2bが入力されることと、外部端子31が第2のレジスタ回路16の第1のデータレジスタ16aに接続されていること以外は、差動入力回路13の構成および動作と同じである。

## 【0109】

次に、第3の差動入力回路18の構成、動作を以下に示す。  
第3の差動入力回路18の構成および動作は、外部端子29から第2のデータ信号D2cが入力されることと、外部端子31が第2のレジスタ回路16の第2のデータレジスタ16bに接続されていること以外は、差動入力回路13の構成および動作と同じである。

## 【0110】

次に、本発明における水平駆動装置の第2の実施形態を示す。本発明における水平駆動装置の第2の実施形態は、本発明における水平駆動装置の第1の実施形態と比べて、半導体チップ2の構成が異なる。

#### 【0111】

図5は、本発明における水平駆動装置の第2の実施形態での半導体チップ2の構成を示す。この第2の実施形態での半導体チップ2では、第1の実施形態での半導体チップ2で出力端子4が第1のレジスタ回路15に含まれるシフトレジスタ15-jと接続されている代わりに、出力端子4は第1のレジスタ回路15に含まれるシフトレジスタ15-q（qは $1 \leq q \leq j-1$ を満たす整数であり、図5で示される水平駆動装置の第2の実施形態での半導体チップ2によると $q=2$ である）の出力端と接続されていることを除いて、第1の実施形態での半導体チップ2と同じ構成を有する。ここで、この第2の実施形態での半導体チップ2では、出力端子4は第1のレジスタ回路15の最後部に接続されているシフトレジスタ15-j以外の1つのシフトレジスタと接続される構成であって、出力端子4に接続されるシフトレジスタは、シフトレジスタ15-2に限定されない。

#### 【0112】

次に、本発明における水平駆動装置の第2の実施形態での半導体チップ2の動作を以下に示す。図6を参照すると、入力端子3から半導体チップ2へパルス信号P6が入力される。制御信号D3の電圧レベルはそのパルス信号P6の立ち上がりに応答してVAに変化する。第1の差動入力回路13、第2の差動入力回路14および第3の差動入力回路18は、制御信号D3の電圧レベルがVAになると動作を開始する。

#### 【0113】

次に、フリップフロップ15-2から出力端子4へシフト信号が出力されると、出力端子4はパルス信号P7を出力する。これにより、この出力端子4に入力端子3が接続されている他の半導体チップ2に制御信号D4としてのパルス信号P7が入力される。

#### 【0114】

次に、フリップフロップ15-jからフリップフロップ回路19へシフト信号

が出力されると、フリップフロップ回路19は、ラッチ回路11に制御信号D4'としてのパルス信号P8を出力する。ラッチ回路11はそのパルス信号P8の立ち上がりに応答して、制御信号D3の電圧レベルを零にする。第1の差動入力回路13、第2の差動入力回路14および第3の差動入力回路18は、制御信号D3の電圧レベルが零になると動作を休止する。

## 【0115】

本発明における水平駆動回路の第2の実施形態では、駆動する半導体チップ2の数は少なくとも2つ、多くとも4つであり、全ての半導体チップが同時に駆動することはない。

## 【0116】

第1の差動入力回路13は、ノードD5がハイに変化してから、安定して動作するまでに300～500ナノ秒必要とする。これは、第1の差動入力回路13に含まれるトランジスタが安定して動作するために300～500ナノ秒かかるからである。また、第1のレジスタ回路15および第2のレジスタ回路16でのデータの書き込みに必要な時間は300ナノ秒以下である。さらに第1のレジスタ回路15および第2のレジスタ回路16の動作の高速化によって、そのデータの書き込みに必要な時間はより短くなっている。このため、半導体チップ2は、入力端子3から制御信号D1が入力されてから300～500ナノ秒経過して出力端子4から制御信号D1を出力する。また、半導体チップ2は、出力端子4から制御信号D1が出力されてから300ナノ秒以下で動作を休止させる。従って、入力端子3と出力端子4とが接続されている複数の半導体チップ2において、同時に3つ以上の半導体チップ2が駆動することはない。

## 【0117】

ここで、上記に示される半導体チップ2の第2の実施形態では、ラッチ回路11は、フリップフロップ回路19からのパルス信号P8に応答して、複数の差動入力回路13、14、18の動作を中止するように制御する。ここで、第1のレジスタ回路15が複数存在する場合、フリップフロップ回路19は、ラッチ回路11は、全ての第1のレジスタ回路15のフリップフロップ15-jからシフト信号が出力された時、ラッチ回路11へ制御信号D4'としてのパルス信号P8

を出力する。ラッチ回路11は、そのパルス信号P8に応答して、複数の差動入力回路13, 14, 18の動作を中止するように制御する。

【0118】

次に、本発明における水平駆動装置の第3の実施形態を示す。

図7は、本発明における水平駆動装置の第3の実施形態の構成を示す。

【0119】

図7を参照すると、本発明における水平駆動装置1の第3の実施形態の構成は、複数の半導体チップ2-1, 2-2, … 2-n (nは3以上の整数) から構成される。各半導体チップ2は、入力端子3と出力端子4を有する。

【0120】

半導体チップ2-1の第1の入力端子3-1、半導体チップ2-2の第1の入力端子3-2は、および半導体チップ2-3の第1の入力端子3-3は、外部から制御信号D1が入力される第1の外部端子5と接続されている。半導体チップ2-1の第1の出力端子4-1は半導体チップ2-4の入力端子3-4と接続されている。半導体チップ2-2の出力端子4-2は半導体チップ2-5の入力端子3-5と接続されている。半導体チップ2-3の出力端子4-3は半導体チップ2-6の入力端子3-6と接続されている。半導体チップ2-m (1≤m≤n-3) の出力端子4-mは半導体チップ2-(m+3) の入力端子3-(m+2) と接続されている。

【0121】

また、各半導体チップ2-1, 2-2, … 2-nは電圧レベルがVB (VB>0) である第2の外部端子6と接続されている。

【0122】

半導体チップ2-mの出力端子4-mから出力された制御信号D1は、入力端子3-(m+3) から半導体チップ2-(m+3) に入力される。

【0123】

また、図示しないが、各半導体チップ2-1, 2-2, … 2-nには外部からデータ信号およびクロック信号が供給される。

【0124】

次に、本発明における水平駆動回路の第3の実施形態の動作を示す。

図8は、本発明における水平駆動回路の第3の実施形態の動作を示すタイムチャートである。

#### 【0125】

図8を参照すると、第1の外部端子5から水平駆動回路1へパルス信号P9が入力される。半導体チップ2-1, 2-2, 2-3はパルス信号P9の立ち上がりに応答して立ち上がる。半導体チップ2-1はデータの書き込み動作が終了すると、出力端子4-1からパルス信号P10を出力して、動作を休止する。半導体チップ2-4はパルス信号P10の立ち上がりに応答して立ち上がる。半導体チップ2-2はデータの書き込みが終了すると、出力端子4-2からパルス信号P10を出力して、動作を休止する。半導体チップ2-5はパルス信号P10の立ち上がりに応答して立ち上がる。半導体チップ2-3はデータの書き込みが終了すると、出力端子4-3からパルス信号P11を出力して、動作を休止する。半導体チップ2-6はパルス信号P11の立ち上がりに応答して立ち上がる。同様に、半導体チップ2-mはデータの書き込みが終了すると、出力端子4-mからパルス信号を出力して、動作を休止する。半導体チップ2-(m+2)はその出力端子4-mから出力されたパルス信号の立ち上がりに応答して立ち上がる。また、半導体チップ2-mはデータの書き込みが終了すると動作を休止する。

#### 【0126】

本発明における水平駆動回路の第3の実施形態では、多くとも3つの半導体チップのみ駆動している。

#### 【0127】

また、本発明における水平駆動回路の第3の実施形態で用いられている半導体チップ2およびその半導体チップ2に設けられている差動入力回路は、本発明における水平駆動回路の第1の実施形態で用いられているものと同じである。

#### 【0128】

次に、本発明における水平駆動装置の第4の実施形態を示す。本発明における水平駆動装置の第4の実施形態は、本発明における水平駆動装置の第3の実施形態と比べて、半導体チップ2の構成が異なる。

## 【0129】

本発明における水平駆動装置の第4の実施形態で用いられる半導体チップ2は、本発明における水平駆動装置の第2の実施形態で用いられる半導体チップ2と同じである。このため、本発明における水平駆動装置の第4の実施形態では、多くとも6個の半導体チップ2が同時に駆動しており、全ての半導体チップ2が駆動しているわけではない。

## 【0130】

また、本発明における水平駆動装置は以下に示す構成を有すれば良く、上記に示す実施形態のみに限定されない。複数の半導体チップ2-1, 2-2, … 2-n (nは3以上の整数) から構成される。各半導体チップ2は、入力端子3と出力端子4を有する。半導体チップ2-1, 2-2 … 2-r (r < n) の各入力端子3は、外部から制御信号D1が入力される第1の外部端子5と接続されている。また、半導体チップ2-s (r+s ≤ n) の出力端子4-sは半導体チップ2-(r+s)の入力端子3-(r+s)と接続されている。

## 【0131】

次に、本発明における水平駆動装置の効果を以下に示す。

まず、従来用いられる水平駆動回路は、10個の半導体チップから構成される。また、各半導体チップは、15個の差動入力回路と15個のロジック回路部を有する。

## 【0132】

1つの差動入力回路の消費電力は、半導体チップ待機時および動作時で1mAである。このため、1半導体チップの差動入力回路の消費電流は、半導体チップ待機時および動作時で15mAである。また、1半導体チップのロジック回路部の消費電流は、半導体チップ待機時で0mA、および動作時で10mAである。

## 【0133】

このため、図10で示される、従来用いられる水平駆動回路の駆動時には、10個の半導体チップ全てが駆動するために、消費電流は  $(15mA + 10mA) \times 10$  (チップ数) で表され、250mAとなる。

## 【0134】

また、図1で示される、本発明における水平駆動回路の第1の実施形態の駆動時には、2個の半導体チップのみが駆動するために、消費電流は(15mA+10mA)×2(チップ数)で表され、50mAとなる。

#### 【0135】

上記に示すように、本発明における水平駆動装置は、全ての半導体チップが駆動するわけではないために、従来用いられている水平駆動装置と比べて、消費電流が削減できるという効果を有する。

#### 【0136】

また、本発明における水平駆動装置は、全ての半導体チップが駆動するわけではない。このため、クロック信号およびデータ信号を出力するためのタイミングコントローラに内蔵されている駆動トランジスタの能力を減少させることが可能となる。具体的には、本発明における水平駆動装置の第1の実施形態では、同時に最大2個の半導体チップしか駆動させない。このため、タイミングコントローラに内蔵されている駆動トランジスタは、2個の半導体チップを駆動させるために必要な能力を必要とする。また、図10で示される、従来用いられる水平駆動回路は10個の半導体チップ全てを駆動させる。このため、タイミングコントローラに内蔵されている駆動トランジスタは、10個の半導体チップを駆動させるために必要な能力を必要とする。このことから、本発明における水平駆動装置の第1の実施形態では、従来用いられる水平駆動回路と比べて、タイミングコントローラに内蔵されている駆動トランジスタの駆動能力が約1/5でよい。この結果として、本発明における水平駆動装置は、トランジスタのサイズを小型化することが可能であるという効果を有する。

#### 【0137】

##### 【発明の効果】

本発明における水平駆動装置は、消費電流を削減することが可能である。

#### 【0138】

また、本発明における水平駆動装置は、トランジスタのサイズを小型化することが可能である。

##### 【図面の簡単な説明】

【図1】

本発明における水平駆動装置の第1の実施形態の構成を示す。

【図2】

本発明における水平駆動回路の第1の実施形態の動作を示すタイムチャートである。

【図3】

本発明における水平駆動回路の第1の実施形態での半導体チップの構成を示す

【図4】

本発明における水平駆動回路の第1の実施形態での差動入力回路の構成を示す

【図5】

本発明における水平駆動装置の第2の実施形態での半導体チップの構成を示す。

【図6】

本発明における水平駆動装置の第2の実施形態での半導体チップの動作を示すタイムチャートである。

【図7】

本発明における水平駆動装置の第3の実施形態の構成を示す。

【図8】

本発明における水平駆動回路の第3の実施形態の動作を示すタイムチャートである。

【図9】

従来用いられている液晶表示装置の構成を示す。

【図10】

従来用いられている水平駆動装置の構成を示す。

【図11】

従来用いられている水平駆動回路の構成を示す。

【符号の説明】

1 水平駆動装置

2, 2-1, 2-2, 2-3, 2-4, 2-(n-1), 2-n 半導体チップ  
 3, 3-1, 3-2, 3-3, 3-4, 3-(n-1), 3-n 入力端子  
 4, 4-1, 4-2, 4-3, 4-4, 4-(n-1), 4-n 出力端子  
 5 第1の外部端子  
 6 第2の外部端子  
 7 スタートパルス入力端子  
 8 スタートパルス出力端子  
 1 1 ラッチ回路  
 1 2 スイッチ部  
 1 3 第1の差動入力回路  
 1 4 第2の差動入力回路  
 1 5 第1のレジスタ回路  
 1 5-1, 1 5-2, 1 5-3, 1 5-(j-1), 1 5-j フリップフロップ  
 1 6 第2のレジスタ回路  
 1 6 a 第1のデータレジスタ  
 1 6 b 第2のデータレジスタ  
 1 6 c レジスタ部  
 1 7 接地  
 1 8 第3の差動入力回路  
 1 9 フリップフロップ回路  
 2 1 端子  
 2 2 第1の回路部  
 2 2 a 第1のPチャネルトランジスタ  
 2 2 b 第2のPチャネルトランジスタ  
 2 2 c 第1のNチャネルトランジスタ  
 2 2 d 第2のNチャネルトランジスタ  
 2 2 e 第3のNチャネルトランジスタ  
 2 2 f 第4のNチャネルトランジスタ

22g 接地

23 第2の回路部

23a 第3のPチャネルトランジスタ

23b 第4のPチャネルトランジスタ

23c 第5のNチャネルトランジスタ

23d 第6のNチャネルトランジスタ

24 波形整形回路部

24a 第1の端子

24b 第2の端子

25 第1のNANDゲート

26 第2のNANDゲート

27 インバータ回路

28 インバータ回路

29 タイミングコントローラの内部端子

30 外部タイミングコントローラの駆動回路

30a 第7のNチャネルトランジスタ

30b 第8のNチャネルトランジスタ

30c 接地

31 外部端子

101 液晶表示装置

102 表示デバイス

103 垂直駆動回路

104 水平駆動回路

111, 111-1, 111-2, 111-3, 111-n 水平駆動回路

113 第1の差動入力回路

114 第2の差動入力回路

115 第1のレジスタ回路

115-1, 115-2, 115-3, 115-(j-1), 115-j フリ

ップフロップ

116 第2のレジスタ回路

116a 第1のデータレジスタ

116b 第2のデータレジスタ

116c レジスタ部

118 第3の差動入力回路

119 スタートパルス入力端子

120 スタートパルス出力端子

D1 制御信号

D2 信号

D2a クロック信号

D2a-1, D2a-2 クロック信号入力端子

D2b 第1のデータ信号

D2b-1, D2b-2 データ信号入力端子

D2c 第2のデータ信号

D2c-1, D2c-2 データ信号入力端子

D3 制御信号

D4 制御信号

D4' 制御信号

D5 ノード

D6 ノード

D7 ノード

P1, P2, P3, P4, P5 パルス信号

P6, P7, P8 パルス信号

P9, P10, P11, P12 パルス信号

D101 入力信号

D102a クロック信号

D102a-1, D102a-2 クロック信号入力端子

D102b 第1のデータ信号

D102b-1, D102b-2 データ信号入力端子

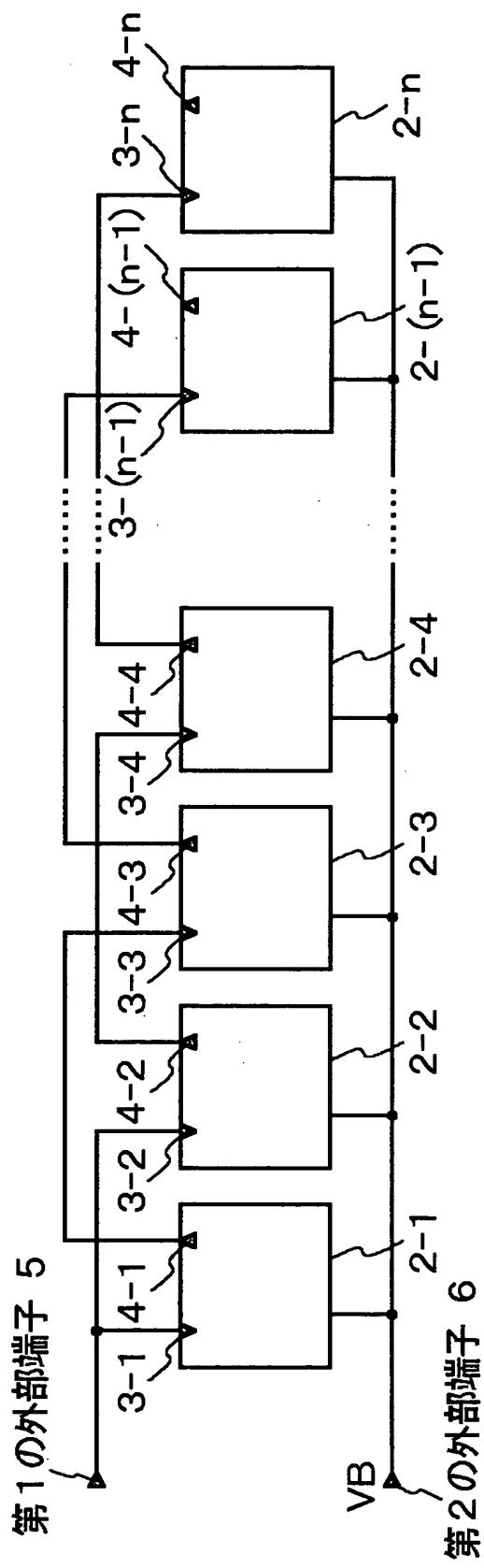
D102c 第2のデータ信号

D102c-1, D102c-2 データ信号入力端子

特2000-201095

【書類名】 図面

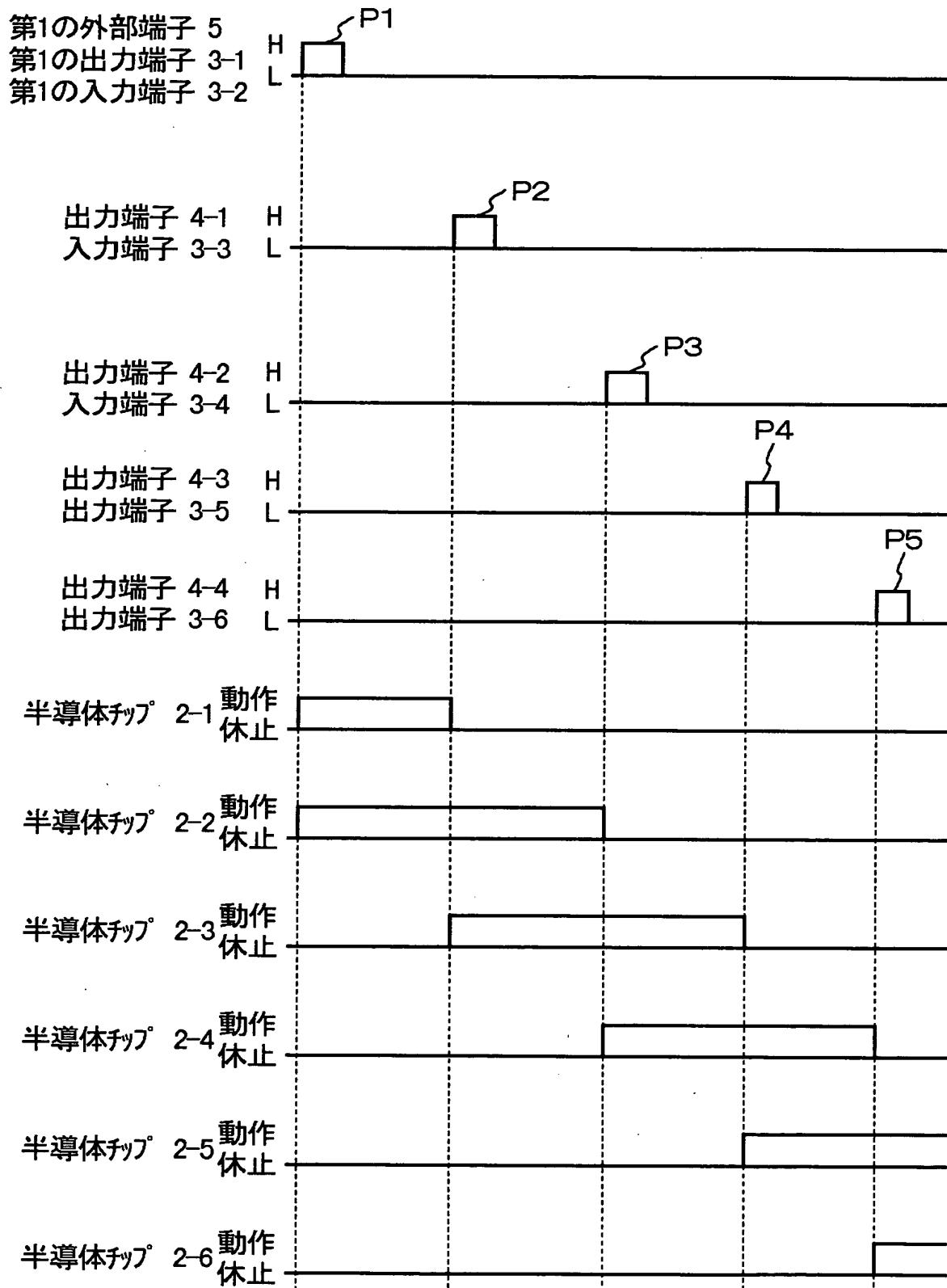
【図1】



1

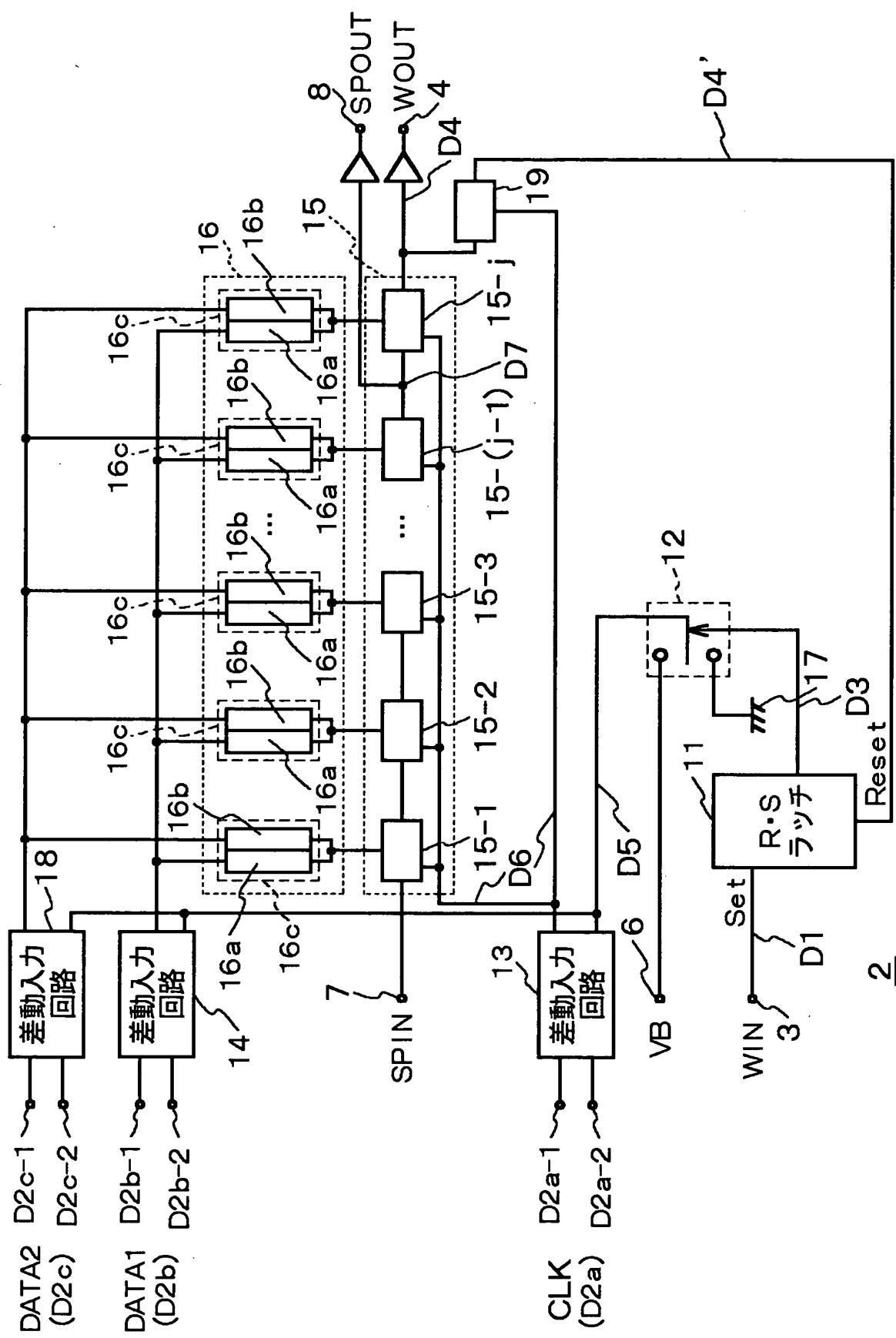
特2000-201095

【図2】

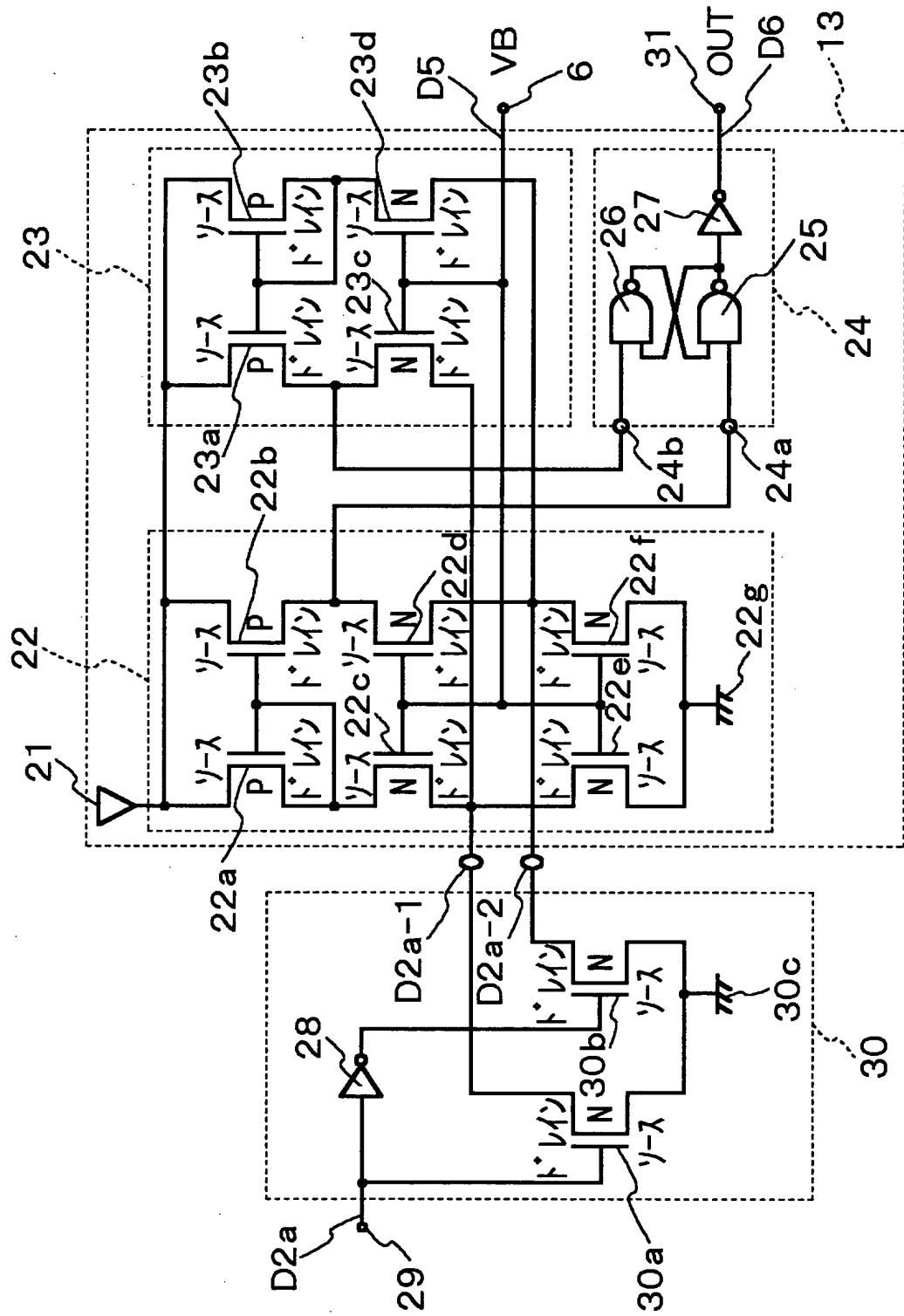


特2000-201095

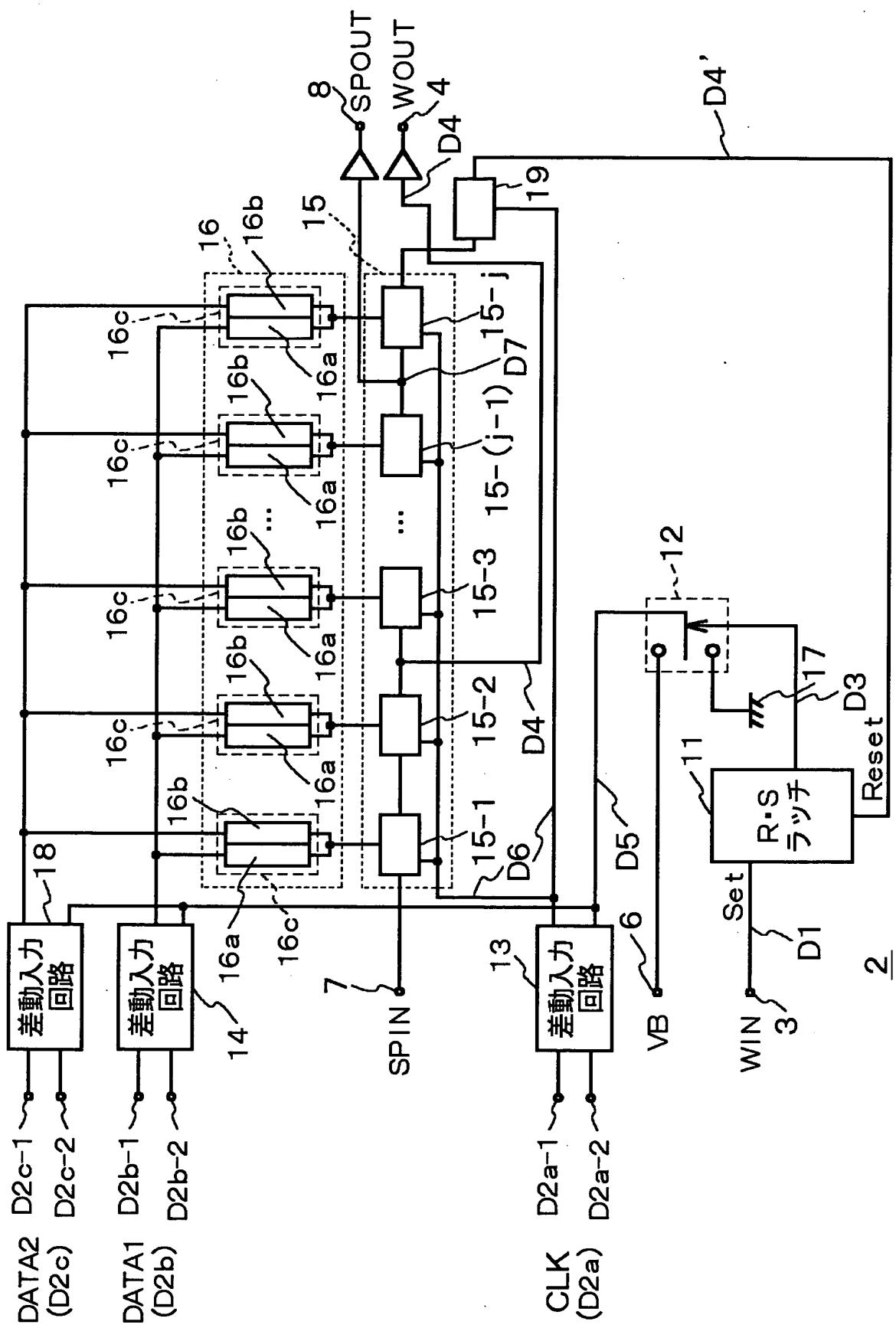
【図3】



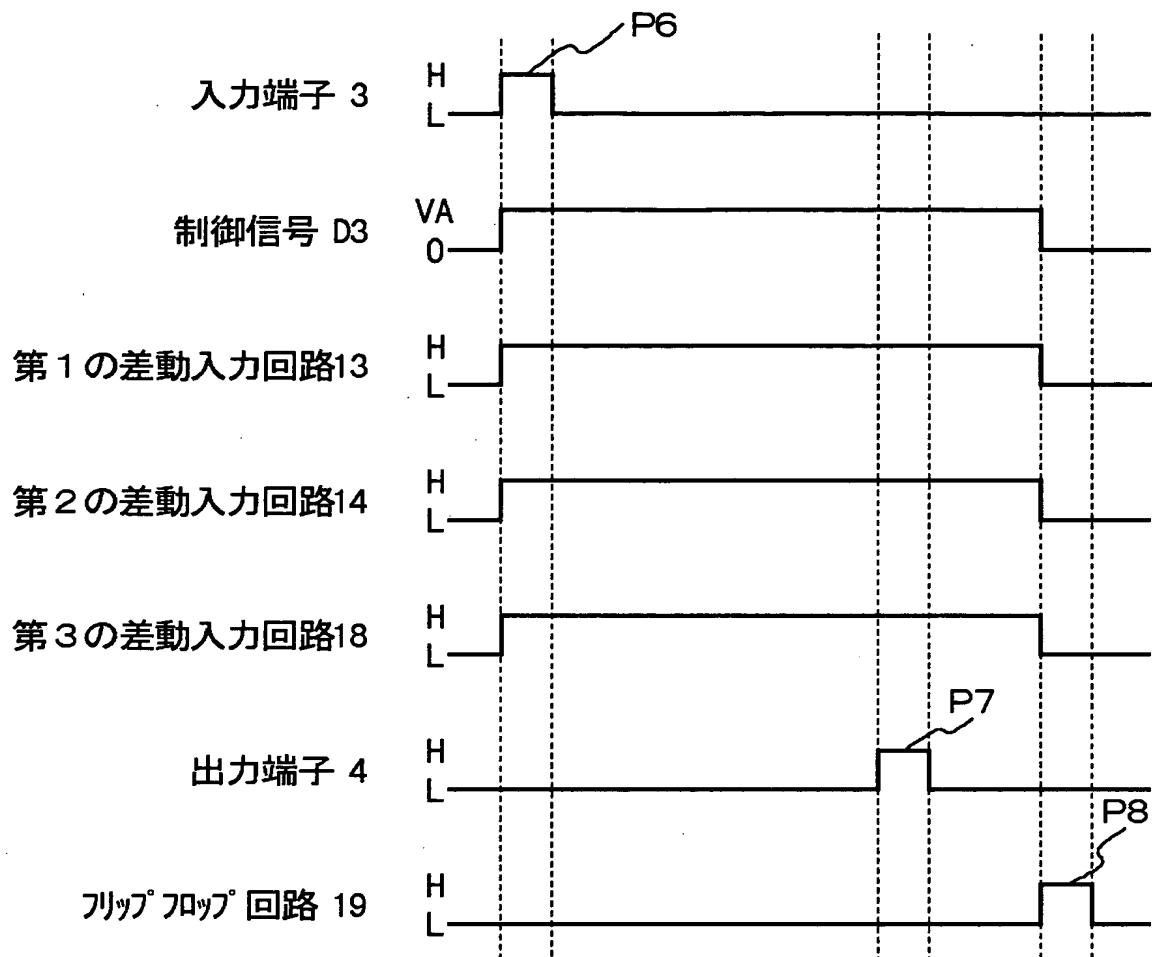
【図4】



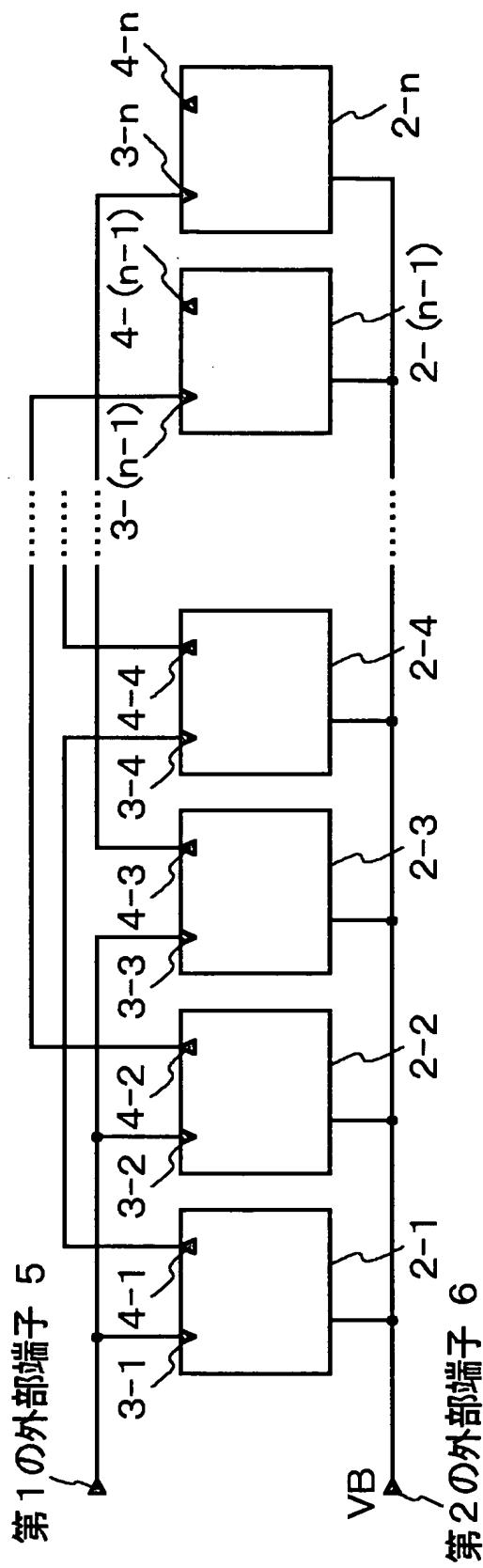
【図5】



【図6】



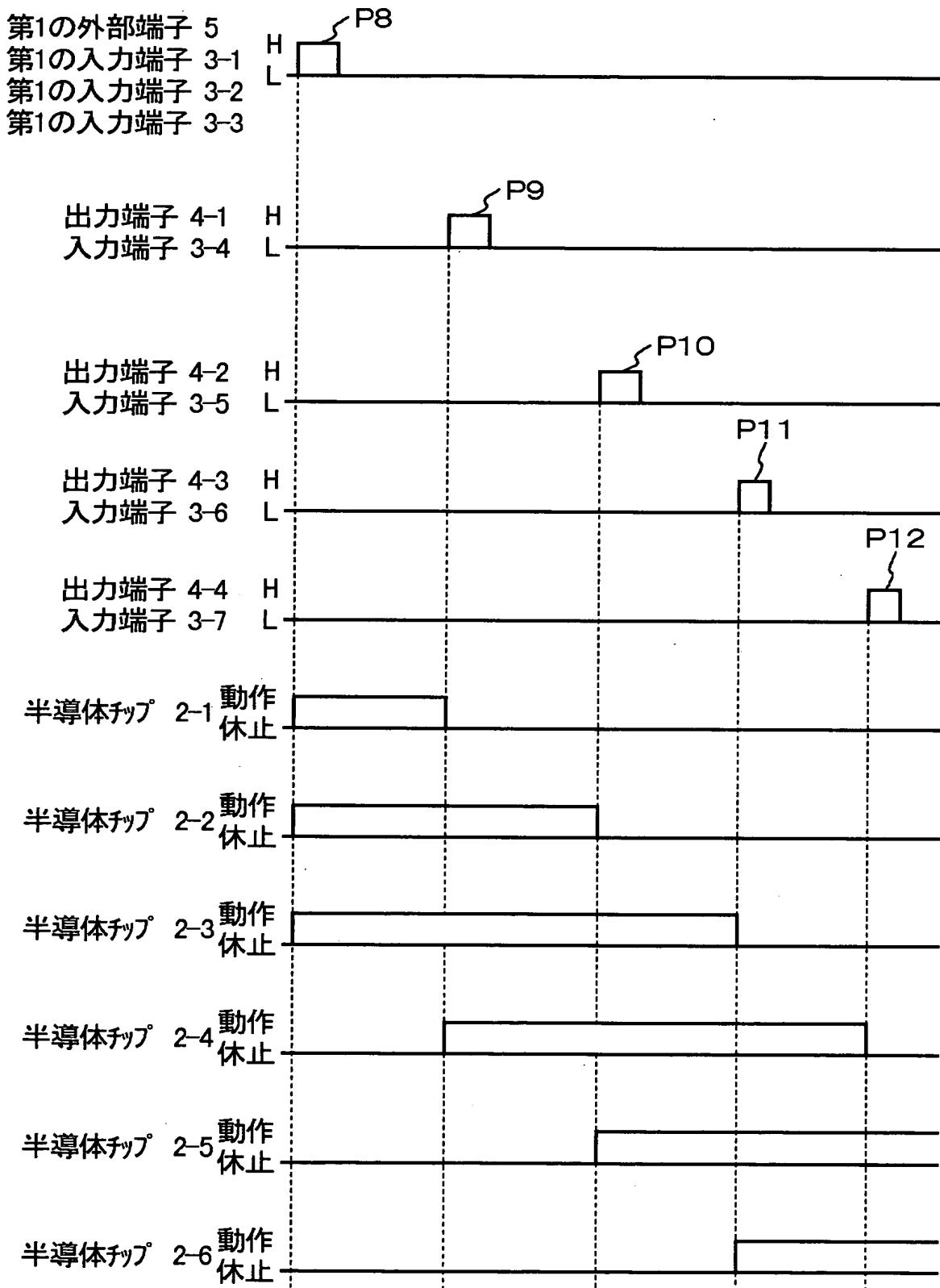
【図7】



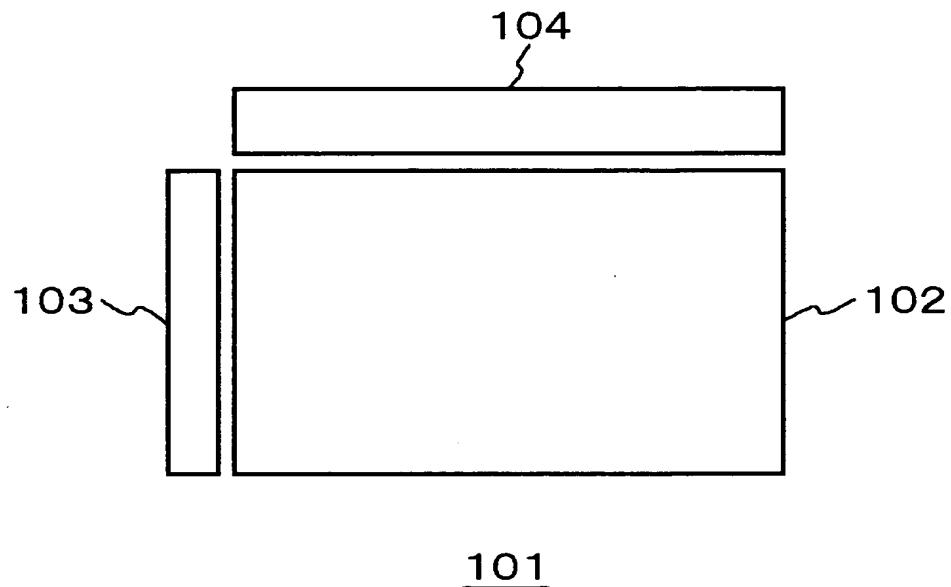
1

特2000-201095

【図8】

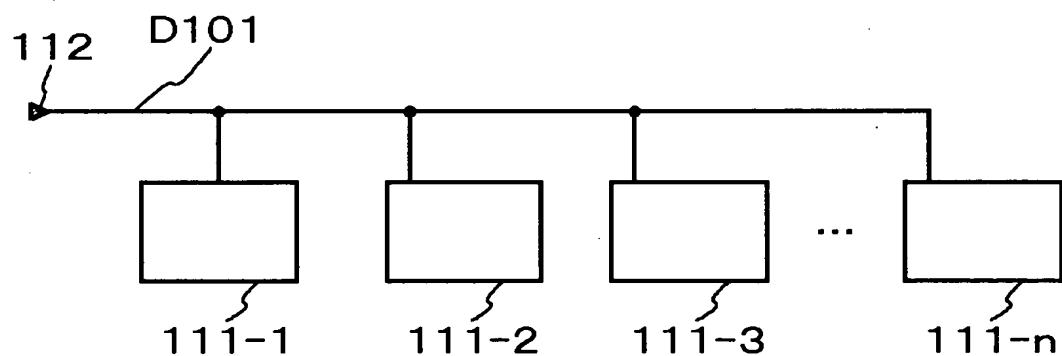


【図9】



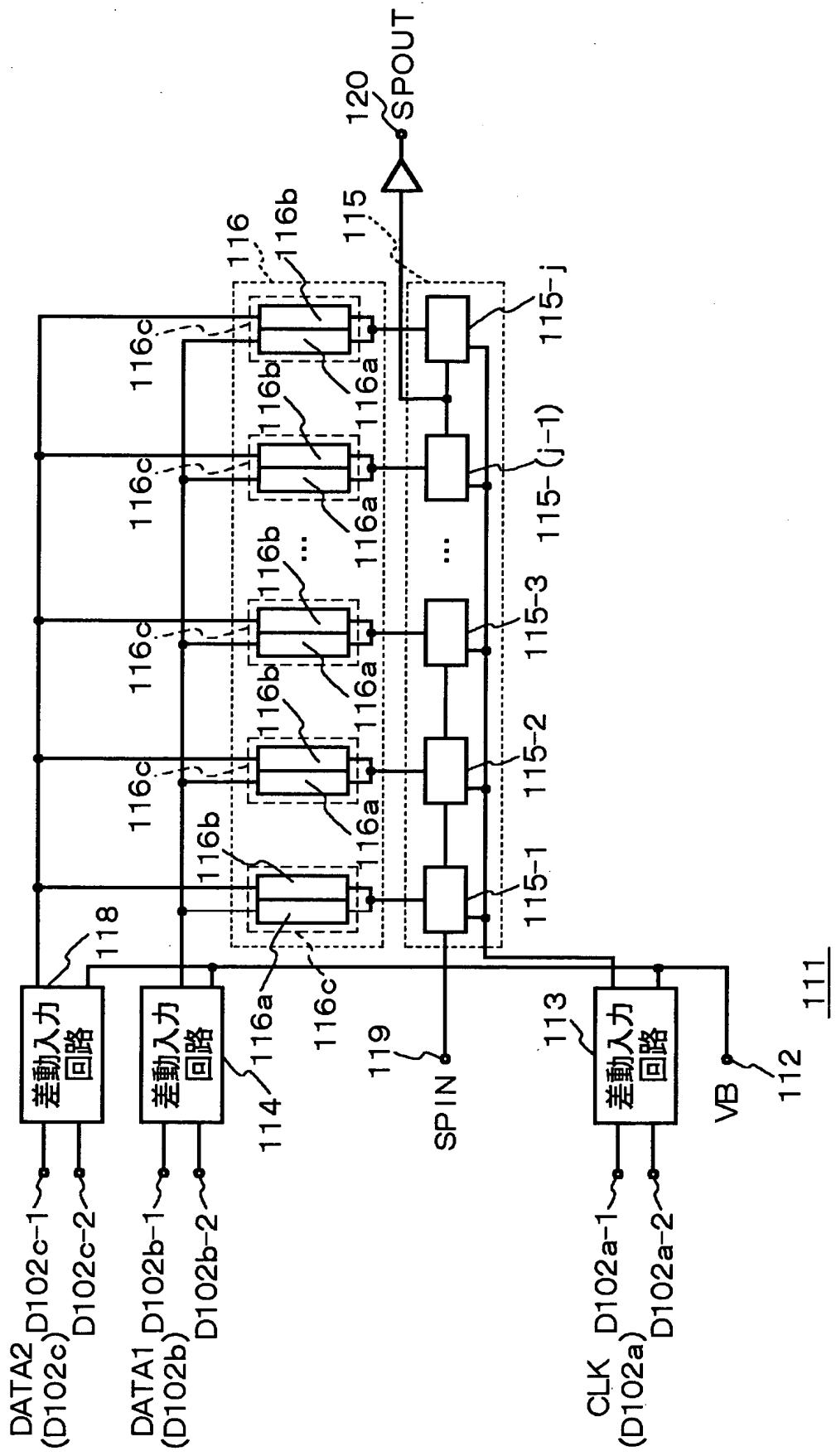
101

【図10】



104

【図11】



【書類名】 要約書

【要約】

【課題】 消費電力の低減が可能な半導体システム及び半導体装置を提供する。

【解決手段】 入力端子（3）と出力端子（4）を有するn個（ $n > 2$ ）の回路部（2）と、n個の回路部（2）のうち、所定のk個（ $2 \leq k < n$ ）の回路部（2）の入力端子（3）に接続された端子（5）からなり、m番目（ $1 \leq m \leq n - k$ ）の回路部（2）の出力端子（4）と（ $m + k$ ）番目の回路部（2）の入力端子（3）とが接続されてなる半導体システムを提供する。この半導体システムにおいて、各回路部（2）は、入力端子（3）からの入力信号（D1）に応答して起動し、起動後所定の時間経過すると動作を中止する。

【選択図】 図1

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号  
氏 名 日本電気株式会社